

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 30 日
Application Date

申請案號：092117768
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 24 日
Issue Date

發文字號：09220747540
Serial No.

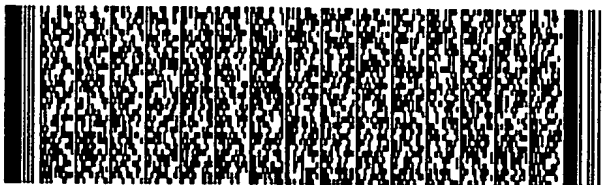
0087

申請日期： _____ IPC分類 _____
 申請案號： 092117768

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	用於快閃記憶體的自對準製程
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 鄭培仁 2. 楊令武
	姓名 (英文)	1. 2. L. W. Yang
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市香山區富群街30巷一弄33號 2. 台中市五權路忠貞一巷30號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 旺宏電子股份有限公司
	名稱或 姓名 (英文)	1. Macronix International Co., Ltd.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 16, Li-Hsin Road, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡定華
	代表人 (英文)	1. Ding-Hua Hu



四、中文發明摘要 (發明名稱：用於快閃記憶體的自對準製程)

一種用於快閃記憶體的自對準製程，包括在製造快閃記憶體結構的過程中，使用一選擇蝕刻比高的清洗溶液蝕刻一閘極疊層中的矽化鎢，再於閘極結構的旁邊形成側壁邊襯。此製程防止閘極結構受到熱應力影響而產生不良結構。

五、(一)、本案代表圖為：第____三____圖

(二)、本案代表圖之元件代表符號簡單說明：

- 10 閘極結構
- 12 基底
- 14 穿隧氧化層
- 16 多晶矽層
- 18 ONO層
- 20 多晶矽層

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：用於快閃記憶體是自對準製程)

22 矽化鎢層
24 硬遮罩層
26 側壁邊襯
28 側壁邊襯
30 源極
32 汲極
34 間隙
36 間隙

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明領域

本發明係有關一種半導體製程，特別是關於一種用於快閃記憶體的自對準製程。

發明背景

複雜的積體電路上，元件尺寸的縮小使得設計更加困難，因此，使用例如自對準製程或其他技術，以達到所需的設計。

第一圖係典型的快閃記憶體的閘極結構10的剖視圖，在一基底12上為一穿隧氧化層14，一浮動閘極多晶矽層16在穿隧氧化層14上，一ONO層18在多晶矽層16上，一控制閘極多晶矽層20在ONO層18上，一控制閘極矽化鎢層22在多晶矽層20上，一硬遮罩層24在矽化鎢層22上，源極30及汲極32在基底12內。在製作閘極結構10的過程中，須在基底12上採用沉積及蝕刻的製程完成閘極疊層，並使用自對準製程以形成源極30和汲極32，在形成側壁邊襯26及28後，使用自對準製程形成源極及汲極接觸。例如Chen等人在美國專利第5,907,781號及6,444,530號中所提出的

「process for fabricating an integrated circuit with a self-aligned contact」便是此種自對準製程。

由於在習知快閃記憶體的閘極結構中，包含矽化鎢層，在後續的熱製程例如加熱退火處理中，矽化鎢的晶體結構由四角立方晶體變為六角立方晶體，使得矽化鎢受到熱應力的影響而膨脹造成臨界尺寸(Critical

五、發明說明 (2)

Dimension ; CD) 的增加以及縮短與接觸窗的距離，後者更進一步導致低崩潰電壓。再者，由於矽化鎢晶塊 (grain) 的再成長，彼此相互擠壓使得閘極結構的側壁變得粗糙及凹凸不平，增加了局部電場 (local electrical field) 效應，容易造成尖端放電導致閘極結構的損壞，使得快閃記憶體的使用壽命短暫。因此，一種使閘極結構的側壁平滑的自對準製程，乃為所冀。

發明目的與概述

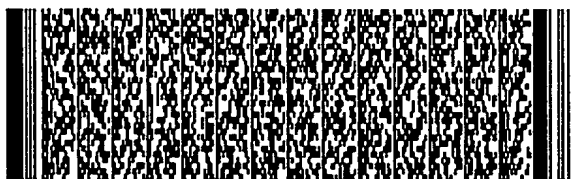
本發明的目的之一，在於提出一種自對準製程，以達到平滑化的閘極側壁。

本發明的目的之一，在於提出一種自對準製程，以增加閘極結構的耐壓。

根據本發明，一種用於快閃記憶體的自對準製程包括依序沉積一第一多晶矽層、ONO 層、第二多晶矽層、一矽化鎢層及一硬遮罩層在一穿隧氧化層上，經蝕刻後形成一閘極結構；使用對矽化鎢蝕刻選擇比高的溶液清洗該矽化鎢層的側壁；以該閘極結構為遮罩形成一源極和汲極；氧化退火處理；在該閘極結構旁形成側壁邊襯；以及後續的自我對準接觸窗製程。

詳細說明

第二圖到第三圖係根據本發明的自對準製程實施例。第二圖係在形成閘極疊層及源/汲極後的剖視圖，在基底



五、發明說明 (3)

12 上為穿隧氧化層14，多晶矽層16在穿隧氧化層14上，ON0層18在多晶矽層16上，多晶矽層20在ON0層18上，矽化鎢層22在多晶矽層20上，硬遮罩層24在矽化鎢層22上，在形成閘極疊層後，以閘極結構10為遮罩形成源極30及汲極32在基底12上，然後以蝕刻選擇比高的溶液清洗矽化鎢層22的側壁，較佳者，係使用SC-1清洗矽化鎢層22，俾蝕刻矽化鎢層22的側壁，控制矽化鎢層22的臨界尺寸。SC-1係五份去離子水加一份30%的雙氧水與一份29%的氨水組成的鹼性過氧化物混合液。在使用蝕刻選擇比高的溶液進行清洗時，矽化鎢層22比其他各層的蝕刻速率快，因此矽化鎢層22的側壁被蝕刻形成凹洞。

在完成上述清洗後，在含有氧自由基的環境中進行快速熱處理(RTP)，使閘極、源極與汲極結構活化並在浮動閘極之多晶矽16外緣形成氧化層而防止漏電。此加熱處理使用在氧自由基氣氛下之快速加熱處理(Rapid Thermal Processing; RTP)，在此氣氛下的熱氧化因為是表面反應為主要機制而能使矽化鎢22表面維持平整且較不容易使矽化鎢層22膨脹。使用在氧自由基氣氛下之快速加熱處理時，在大約5托爾至50托爾的低壓下將氬氣及氧氣通入反應室中。

經過上述退火處理後，矽化鎢層22的晶體結構由四角立方晶體變成六角立方晶體，此時再進行氮化矽或二氧化矽層的沈積與蝕刻而形成側壁邊襯26及28，如第三圖所示，由於先前使用蝕刻選擇比高的溶液清洗矽化鎢層22，

五、發明說明 (4)

使得間隙34及36形成在矽化鎢層22與側壁邊襯26及28之間，因而增加矽化鎢層22與側壁邊襯26及28之間的距離，當矽化鎢層22受到熱應力的影響而膨脹時，不再產生推擠而破壞閘極結構10，因此，矽化鎢22的表面保持平滑，且與接觸窗之間的距離不致縮短，因而不產生局部電場上升及崩潰電壓降低的不良後果。

第四圖係傳統的閘極結構變形的示意圖，以供對照本發明的說明，在傳統的自對準製程中，閘極結構中矽化鎢層受到熱應力影響而膨脹，由於矽化鎢層沒有多餘空間的接觸窗受到熱應力影響而膨脹的體積，導致矽化鎢層內部的晶塊相互擠壓，使得矽化鎢層的臨界尺寸增加及降低閘極與接觸窗之間的崩潰電壓。而本發明的自對準製程，係在矽化鎢層22與側壁襯墊26及28之間形成緩衝的區域，即間隙34及36，矽化鎢層22受到熱應力影響而膨脹時，間隙34及36可以緩衝矽化鎢層22的膨脹而不影響矽化鎢層22內部的結構。

附圖一係傳統的閘極結構的微觀照片，可以看到矽化鎢層因熱應力膨脹後受到的擠壓，而側壁的表面非常粗糙。附圖二係本發明的閘極結構的微觀照片，矽化鎢層未因熱應力膨脹而受到擠壓，側壁的表面非常平滑。對照附圖一及附圖二，本發明的自對準製程已明顯改善習知技術的閘極結構容易損壞的缺點。

以上對於本發明之較佳實施例所作的敘述係為闡明之目的，而無意限定本發明精確地為所揭露的形式，基於以

五、發明說明 (5)

上的教導或從本發明的實施例學習而作修改或變化是可能的，實施例係為解說本發明的原理以及讓熟習該項技術者以各種實施例利用本發明在實際應用上而選擇及敘述，本發明的技術思想企圖由以下的申請專利範圍及其均等來決定。



圖式簡單說明

對於熟習本技藝之人士而言，從以下所作的詳細敘述配合伴隨的圖式，本發明將能夠更清楚地被瞭解，其上述及其他目的及優點將會變得更明顯，其中：

第一圖係典型的快閃記憶體之閘極結構的剖視圖；

第二圖係在形成閘極疊層及源/汲極後的剖視圖；

第三圖係形成側壁邊襯後的剖視圖；以及

第四圖係傳統的閘極結構變形的示意圖。

圖號說明

10	閘極結構
12	基底
14	穿隧氧化層
16	多晶矽層
18	ONO層
20	多晶矽層
22	矽化鎢層
24	硬遮罩層
26	側壁邊襯
28	側壁邊襯
30	源極
32	汲極
34	間隙
36	間隙

六、申請專利範圍

1. 一種用於快閃記憶體的自對準製程，包括下列步驟：

依序沉積一第一多晶矽層、ONO層、第二多晶矽層、一矽化鎢層及一硬遮罩層在一穿隧氧化層上，以形成一閘極結構；

以該閘極結構為遮罩形成一汲極和源極；

使用對矽化鎢蝕刻選擇比高的溶液清洗該矽化鎢層的側壁；

進行氧化退火處理；以及

在該閘極結構的旁邊形成側壁邊襯。

2. 如申請專利範圍第1項之製程，其中該使用蝕刻選擇比高的溶液清洗矽化鎢層的步驟包括使用SC-1溶液清洗矽化鎢層。

3. 如申請專利範圍第1項之製程，其中該退火處理的步驟包括快速加熱處理。

4. 一種用於快閃記憶體的自對準製程，包括下列步驟：

形成一含有金屬矽化物的閘極疊層在一穿隧氧化層上；

以該閘極結構為遮罩形成一汲極和源極；

蝕刻該金屬矽化物的側壁；

進行氧化退火處理；以及

在該閘極結構的旁邊形成側壁邊襯。

5. 如申請專利範圍第4項之製程，其中該蝕刻該金屬

六、申請專利範圍

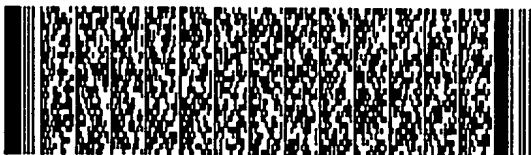
矽化物的側壁的步驟包括使用對該金屬矽化物蝕刻選擇比高的溶液蝕刻該金屬矽化物的側壁。

6. 如申請專利範圍第4項之製程，其中該退火處理的步驟包括快速加熱處理。

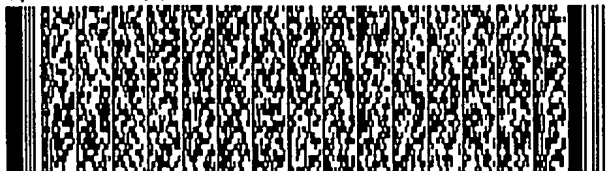
7. 如申請專利範圍第6項之製程，其中該快速加熱處理包括在氧自由基的氣氛下加熱。

8. 如申請專利範圍第7項之製程，其中該快速加熱處理包括在反應室中通入氫氣與氧氣。

9. 如申請專利範圍第8項之製程，其中該反應室的氣壓約為5托爾至50托爾。



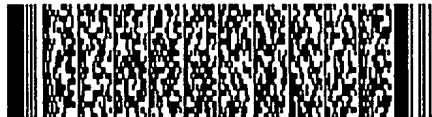
第 1/12 頁



第 2/12 頁



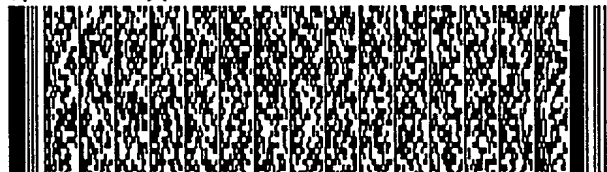
第 3/12 頁



第 4/12 頁



第 5/12 頁



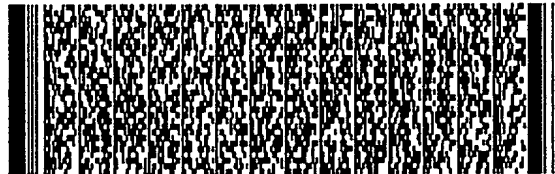
第 5/12 頁



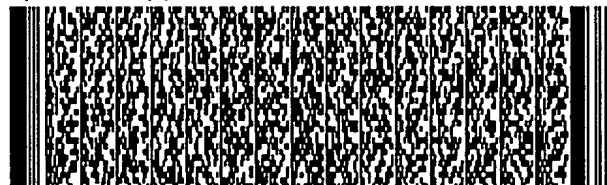
第 6/12 頁



第 6/12 頁



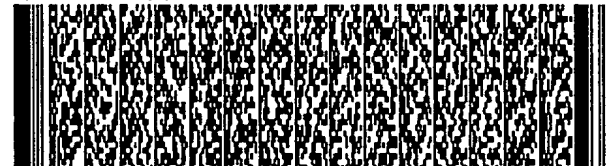
第 7/12 頁



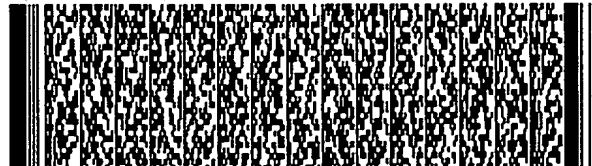
第 7/12 頁



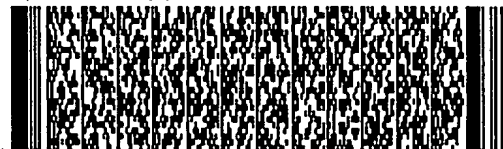
第 8/12 頁



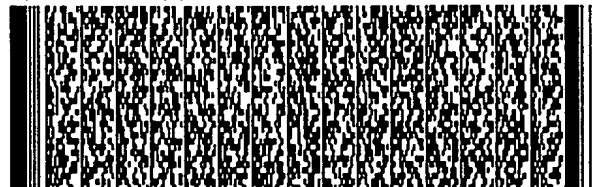
第 8/12 頁



第 9/12 頁



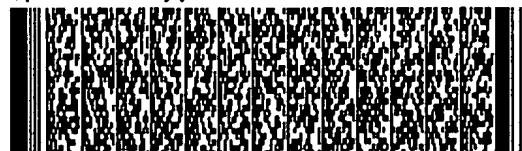
第 10/12 頁

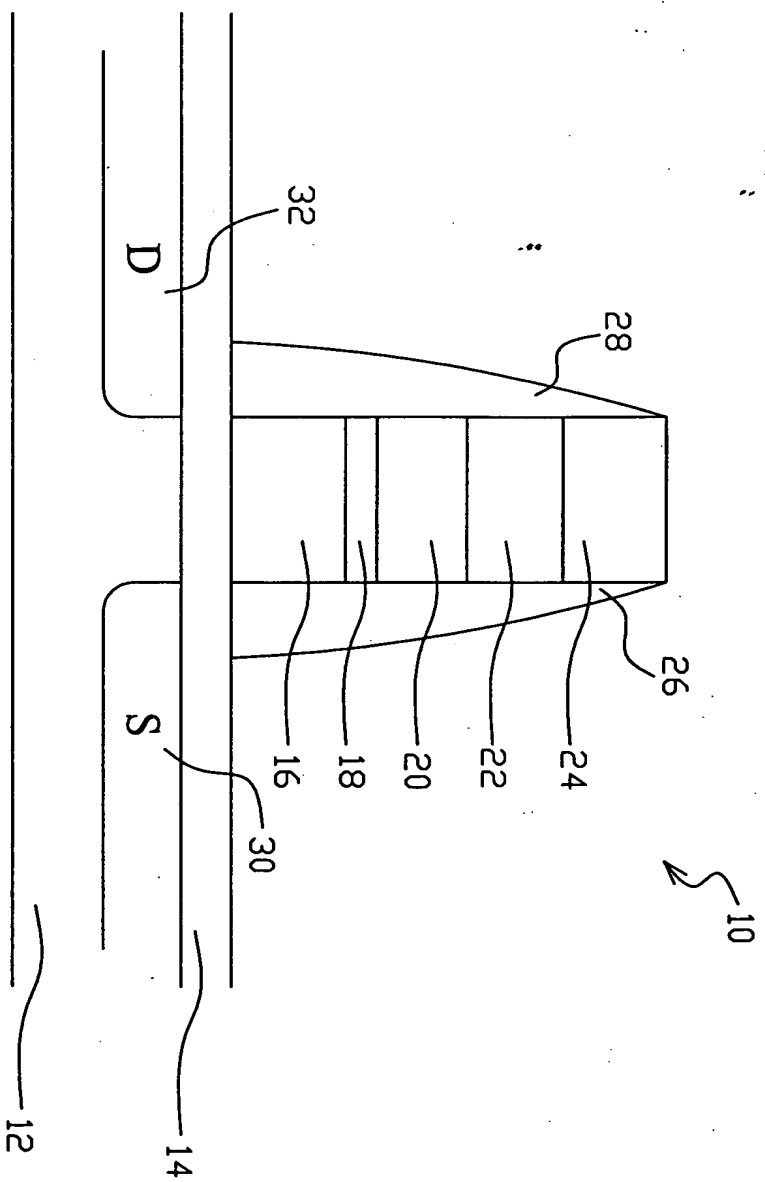


第 11/12 頁

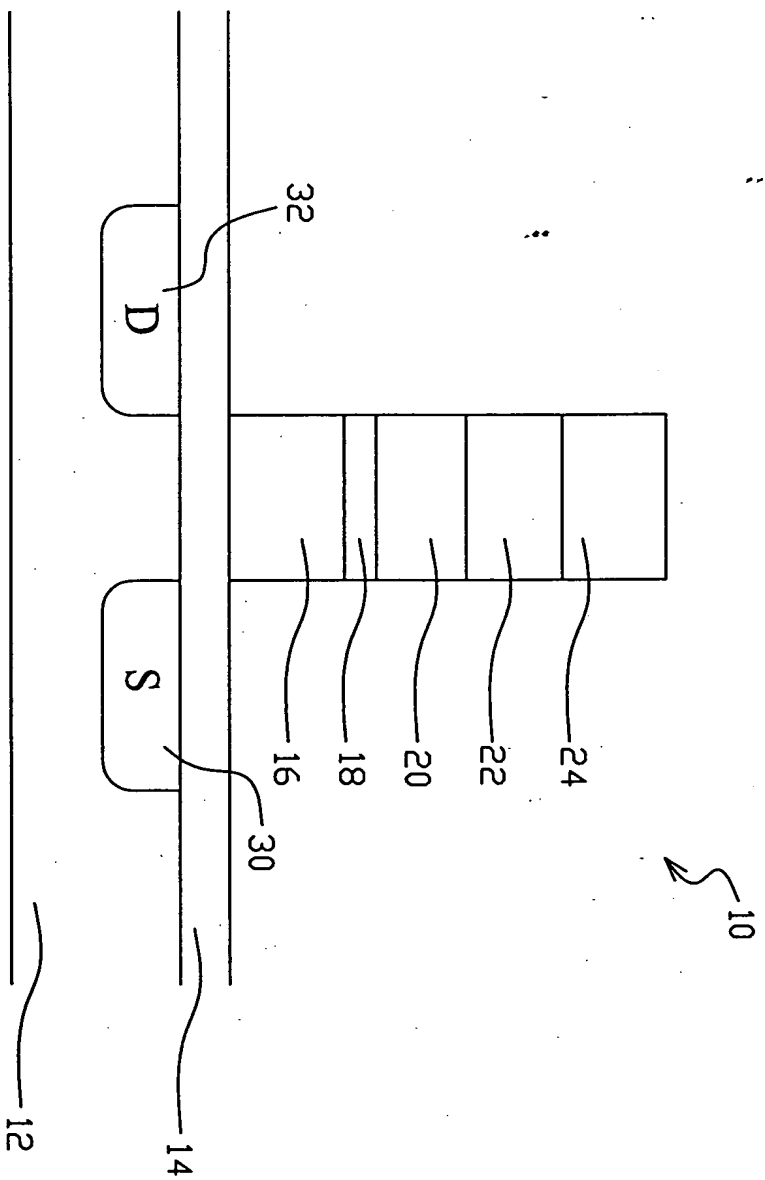


第 12/12 頁

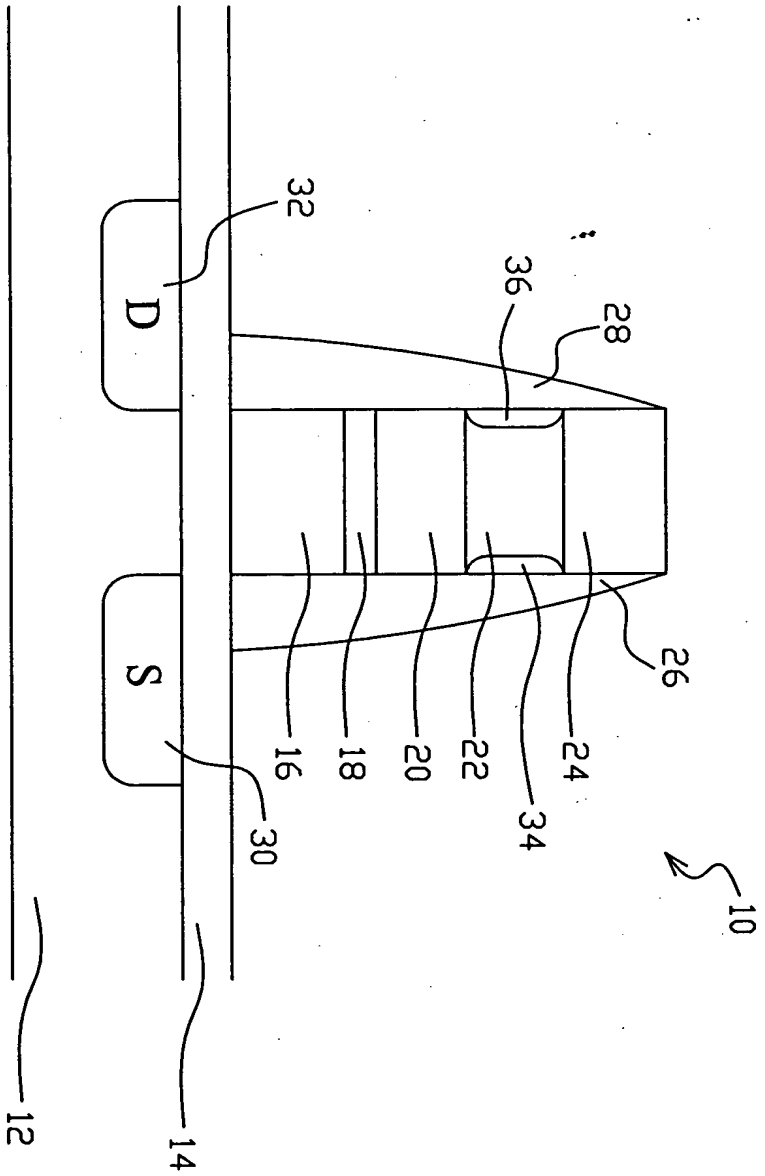




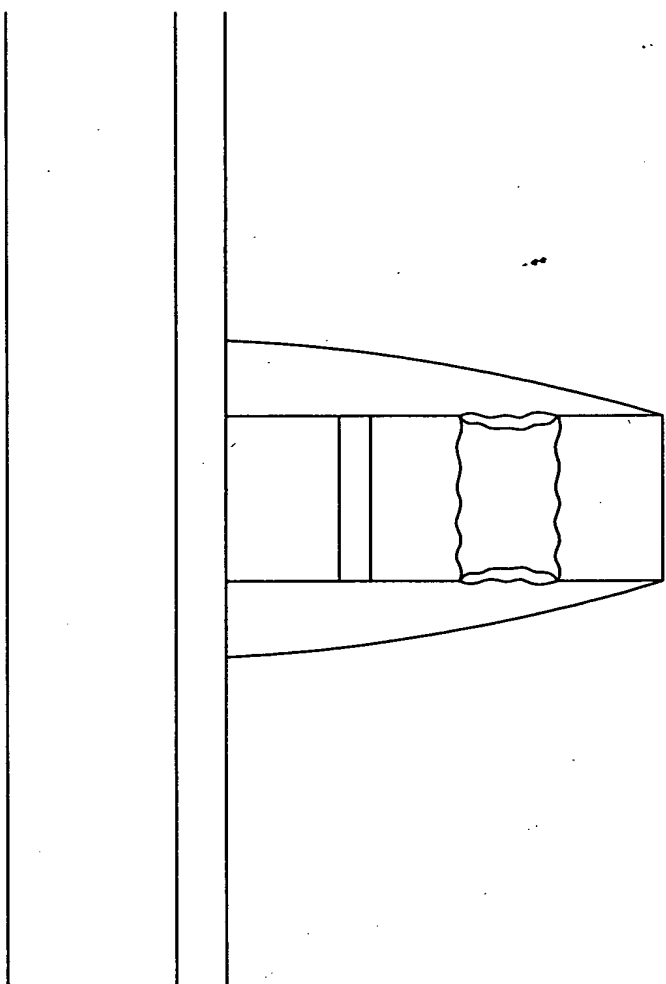
第一圖



第二圖



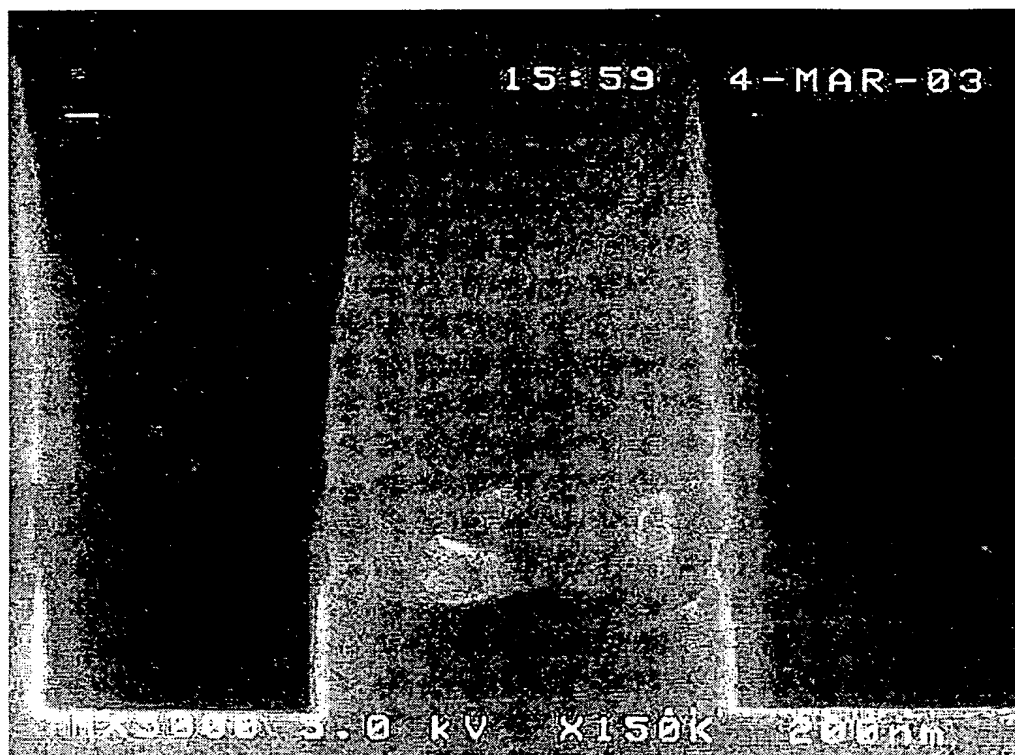
第三圖



第四圖

BEST AVAILABLE COPY

附圖一



BEST AVAILABLE COPY

附圖二

